

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 3 3 6 7 7
Application Number:

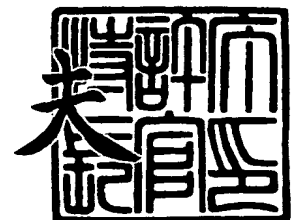
[ST. 10/C]: [J P 2 0 0 3 - 3 3 3 6 7 7]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 GI000010
【提出日】 平成15年 9月25日
【あて先】 特許庁長官 殿
【国際特許分類】 H03F 3/217
【発明者】
 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
 【氏名】 永末 誠
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
 【代表者】 篠塚 勝正
【代理人】
 【識別番号】 110000165
 【氏名又は名称】 グローバル・アイピー東京特許業務法人
 【代表者】 宮川 良夫
【手数料の表示】
 【予納台帳番号】 193162
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

Pchトランジスタ及びNchトランジスタからなるサブインバータが複数段接続されて構成されたインバータ回路と、

前記インバータ回路に対応する回路構成でPchトランジスタ及びNchトランジスタからなるサブインバータが複数段接続されて構成された参照回路と、

前記インバータ回路と前記参照回路とにおいてPch及びNchトランジスタを同じ組み合わせで、かつ、Pch及びNchトランジスタを互いに独立に選択する選択回路と、

前記参照回路において選択されているPchトランジスタの駆動能力である第1駆動能力と、前記参照回路において選択されているNchトランジスタの駆動能力である第2駆動能力とを比較し、その比較結果に基づいて、前記第1駆動能力と前記第2駆動能力とが均衡するように前記選択回路に制御信号を出力して、前記選択回路を制御する選択制御回路とを備え、

前記選択回路は、前記インバータ回路の入力信号と前記選択制御回路から出力された制御信号とに応じて、前記インバータ回路のPch及びNchトランジスタの動作を制御することを特徴とする信号増幅回路。

【請求項 2】

前記選択制御回路は、

前記参照回路において選択されているPchトランジスタの駆動能力である第1駆動能力と、前記参照回路において選択されているNchトランジスタの駆動能力である第2駆動能力とを比較する比較回路と、

前記比較結果に基づいて、Pchトランジスタの選択数またはNchトランジスタの選択数のいずれを変更するか判定する判定回路と、

前記判定回路の判定結果に基づいて、Pchトランジスタの選択数またはNchトランジスタの選択数のいずれかを変更するように、前記選択回路を制御する選択増減回路と、を有することを特徴とする請求項 1 に記載の信号増幅回路。

【請求項 3】

前記判定回路は、前記比較結果に応じていずれか一方のカウント値が増加する第1及び第2カウンタ回路を有し、

前記選択増減回路は、前記第1カウンタ回路のカウント値に応じてPchトランジスタの選択数を変更する第1選択デコード回路と、前記第2カウンタ回路のカウント値に応じてNchトランジスタの選択数を変更する第2選択デコード回路と、を有することを特徴とする請求項 2 に記載の信号増幅回路。

【請求項 4】

前記比較結果において前記第1駆動能力の方が高い場合、前記第1カウンタ回路はカウント値を増加させ、前記第1選択デコード回路は、前記第1カウンタ回路のカウント値に応じて、Pchトランジスタの選択数が減少するように前記選択回路を制御し、

前記比較結果において前記第2駆動能力の方が高い場合、前記第2カウンタ回路はカウント値を増加させ、前記第2選択デコード回路は、前記第2カウンタ回路のカウント値に応じて、Nchトランジスタの選択数が減少するように前記選択回路を制御することを特徴とする、請求項 3 に記載の信号増幅回路。

【請求項 5】

前記比較結果において前記第1駆動能力の方が高い場合、前記第2カウンタ回路はカウント値を増加させ、前記第2選択デコード回路は、前記第2カウンタ回路のカウント値に応じて、Nchトランジスタの選択数が増加するように前記選択回路を制御し、

前記比較結果において前記第2駆動能力の方が高い場合、前記第1カウンタ回路はカウント値を増加させ、前記第1選択デコード回路は、前記第1カウンタ回路のカウント値に応じて、Pchトランジスタの選択数が増加するように前記選択回路を制御することを特徴とする、請求項 3 に記載の信号増幅回路。

【請求項 6】

前記信号増幅回路はD級信号増幅回路であることを特徴とする、請求項1から5のいずれかに記載の信号増幅回路。

【請求項7】

前記インバータ回路はCMOSインバータが複数段接続されて構成されていることを特徴とする、請求項1から5のいずれかに記載の信号増幅回路。

【書類名】明細書

【発明の名称】信号増幅回路

【技術分野】

【0001】

本発明は、信号増幅回路、特に、Pchトランジスタ及びNchトランジスタからなるインバータが複数段接続されて構成されるインバータ回路を備える信号増幅回路に関する。

【背景技術】

【0002】

スピーカを駆動する電力駆動回路としては、低消費電力のD級信号増幅回路（D級アンプ）が主に使用される。このようなD級信号増幅回路は、Nch及びPchのMOSトランジスタで構成されたCMOSインバータを複数段に接続して構成され、PWM制御により駆動される。このようにCMOSインバータを複数段に接続してPWM波形を出力する場合、PWM出力信号には、パルス幅によって決まる振幅成分以外に、パワー中心によって決まる位相成分が含まれており、PWM波形の立ち上がり立ち下りの波形が異なるとパワー中心のずれに繋がり、スピーカへの出力信号に歪を生じる虞がある。

【0003】

また、スピーカの+側入力ラインと-側入力ラインとに、位相が180度ずれた波形を出力するBTL方式では、PWM出力信号の立ち上がり立ち下りにおけるオーバシュートまたはアンダーシュート等のノイズを+側入力ラインと-側入力ラインとの間のストレーキャパシタによって相殺するとともに、+側と-側入力ラインでの電流変動による電磁波も互いに相殺している。これらのノイズ及び電磁波の相殺は、PWM出力信号の立ち上がり立ち下りの波形に近い程効果があり、立ち上がり立ち下りの波形の差が大きい程効果が減少する。

【0004】

PWM出力信号の立ち上がり及び立ち下りの波形はそれぞれPch及びNchトランジスタの駆動能力に依存し、Pch及びNchトランジスタの駆動能力が異なるとPWM出力信号の立ち上がり立ち下りにも差が生じる。ところが、Pch及びNchトランジスタの駆動能力は製造上必ずバラツキを持つため、従来のD級信号増幅回路では、製造ロットによっては、立ち上がり立ち下り波形に大きな差が生じ、波形歪が大きくEMI (Electro Magnetic Interference)の影響も大きくなる問題がある。

【0005】

特許文献1には、スピーカへの出力を調節する機能を有するD級信号増幅回路が記載されている。このD級信号増幅回路では、CMOSインバータの選択数を増減することにより、スピーカへの出力波形を調節している。

【特許文献1】特開2001-223537号公報（第2-4頁、第1-3図）

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1に記載のD級信号増幅回路では、Pch及びNchトランジスタからなるトランジスタ対の単位で選択数を変更し、Pch及びNchトランジスタを同時に増減するものであり、Pchの駆動能力とNchの駆動能力との間に差がある場合にこれらを均衡させることは困難であり、出力波形の立ち上がり立ち下りに大きな差が生じ、波形歪が大きくEMIの影響も大きくなる虞がある。

【0007】

本発明は、信号増幅回路において、出力信号の波形歪及びEMIの影響を抑制することにある。

【課題を解決するための手段】

【0008】

本発明に係る信号増幅回路は、インバータ回路と、選択回路と、選択制御回路とを備え

ている。インバータ回路は、Pchトランジスタ及びNchトランジスタからなるサブインバータが複数段接続されて構成されている。参照回路は、インバータ回路に対応する回路構成でPchトランジスタ及びNchトランジスタからなるサブインバータが複数段接続されて構成されている。選択回路は、インバータ回路と参照回路とにおいてPch及びNchトランジスタを同じ組み合わせで、かつ、Pch及びNchトランジスタを互いに独立に選択する。選択制御回路は、参照回路において選択されているPchトランジスタの駆動能力である第1駆動能力と、参照回路において選択されているNchトランジスタの駆動能力である第2駆動能力とを比較し、その比較結果に基づいて、第1駆動能力と第2駆動能力とが均衡するように選択回路に制御信号を出力して、選択回路を制御する。また、選択回路は、インバータ回路の入力信号と選択制御回路から出力された制御信号とに応じて、インバータ回路のPch及びNchトランジスタの動作を制御する。

【発明の効果】

【0009】

本発明に係る信号増幅回路では、インバータ回路を構成するPch及びNchトランジスタの各駆動能力を、インバータ回路とは別に設けた参照回路から検出して比較し、Pchの駆動能力とNchの駆動能力とに差がある場合には、PchまたはNchトランジスタの選択数をそれぞれ独立に増減する。従って、PchとNchの駆動能力が製造上ばらついている場合でも両者を自動的に均衡させることができ、PchとNchの駆動能力にそれぞれ依存する立ち上がり立ち下りの波形を近づけることができる。この結果、信号増幅回路において出力信号の波形歪及びEMIの影響を低減できる。

【発明を実施するための最良の形態】

【0010】

(1) 第1実施形態

〔構成〕

図1は、本発明の第1実施形態に係る信号増幅回路1の電気回路図である。ここでは、信号増幅回路1は、PWM波形の入力信号をPWM波形の出力信号に増幅するD級信号増幅回路として説明する。この信号増幅回路1は、インバータ回路10、選択回路20、選択制御回路30から構成されており、選択回路20及び選択制御回路30によってインバータ10のPch及びNchトランジスタの駆動能力が均衡するように調整する。

【0011】

インバータ回路10は、Pch及びNchMOSトランジスタからなるCMOSインバータ（サブインバータ）10a、10b、・・・を多段接続して構成されている。選択回路20は、PchトランジスタP1、P2、・・・のゲート端子に接続された論理和回路21と、NchトランジスタN1、N2、・・・のゲート端子に接続された論理積回路22とから構成されている。

【0012】

選択制御回路30は、選択されているPchトランジスタの駆動能力とNchトランジスタの駆動能力とを比較し、その比較結果に基づいて、PchまたはNchトランジスタのいずれの選択数を減少させるかを判定し、その判定結果に基づいてPchまたはNchトランジスタのいずれかの選択数を減少させるように制御信号を選択回路20に出力する。以下、選択制御回路30の構成について具体的に説明する。

【0013】

参照回路35及び36は、それぞれ、インバータ回路10に対応する回路構成でPchトランジスタ及びNchトランジスタからなるサブインバータが複数段接続されて構成されたインバータ回路、即ち、インバータ回路10と同一又は寸法を縮小した構成であり、インバータ回路10とは別途設けられている。これらの参照回路35及び36は、テストクロック信号TESTCLKによって駆動され、TESTCLKに応じてパルス波形を出力する。また、参照回路35及び36は、インバータ回路10におけるPchまたはNchトランジスタのそれぞれの選択に連動して（インバータ回路10と同じ組み合わせの選択になるように）選択状態が変更されて駆動能力が変わり、出力のパルス波形も変化する

。コンデンサC1及びC2は、それぞれ参照回路35及び36の出力パルス波形の立ち上がり及び立ち下がりになませ、バッファ37及び38は、なまった出力波形を所定の閾値で理想的なパルス波形に整形する。論理積回路39は、バッファ37及び38の出力パルス波形と、TESTCLKとに基づいて、バッファ37の出力パルスの立ち上がりがバッファ38の出力パルスの立ち下がりよりも早い場合、即ちPchの駆動能力がNchの駆動能力よりも高い場合に、短いパルス波形を出力する。論理和否定回路40は、バッファ38の出力パルスの立ち下がりの方がバッファ37の出力パルスの立ち上がりよりも早い場合、即ちNchの駆動能力がPchの駆動能力よりも高い場合に、短いパルス波形を出力する。フリップフロップSRFF2は、論理積回路39から短いパルス波形が出力される場合にLレベルを出力し、論理和否定回路40から短いパルス波形が出力される場合にHレベルを出力する。論理積回路41は、SRFF2の出力の反転信号とTESTCLKの反転信号とを入力され、SRFF2の出力がLレベルの場合に、即ちPchの駆動能力の方が高い場合にカウント信号PCNTCK‘Hレベル’を出力する。論理積回路42は、SRFF2の出力とTESTCLKの反転信号とを入力され、SRFF2の出力がHレベルの場合に、即ちNchの駆動能力の方が高い場合にカウント信号NCNTCK‘Hレベル’を出力する。カウント回路33はPCNTCKがHレベルとなるごとに+1カウントアップし、カウント回路34はNCNTCKがHレベルとなるごとに+1カウントアップする。カウント回路33及び34は、駆動能力調整開始時には0に初期化される。選択デコード回路31及び32は、カウント回路33及び34が初期化されると、全てのPch及びNchトランジスタを選択する（最大能力）。選択デコード回路31はカウンタ回路33が+1カウントアップされるごとにPchトランジスタの選択数を1つ減少させるように選択信号（制御信号）を出力する。選択デコード回路32はカウンタ回路34が+1カウントアップされるごとにNchトランジスタの選択数を1つ減少させるように選択信号（制御信号）を出力する。

【0014】

DフリップフロップDFF1は、SRFF2の出力であるG点の状態を入力され、TESTCLKが立ち下がるごとにG点の信号の状態を排他的論理和回路43に出力する。即ち、DFF1は、TESTCLKが立ち下がるまで、前回のTESTCLKにおけるG点の出力状態を保持する。DFF1は、駆動能力調整開始時にリセット／スタート信号RST／STARTによってリセットされる。排他的論理和回路43は、DFF1で保持している前回のTESTCLKでのG点の状態と、今回のTESTCLKでのG点の状態とを比較し、前回と今回とで状態が変化していない場合（PchとNchの駆動能力の関係が同じ場合）にはH点にLレベルを出力し、一方、前回と今回とで状態が変化している（PchとNchの駆動能力が逆転した場合）にH点にHレベルを出力する。DフリップフロップDFF3は、I点の状態が立ち下がるごとにH点の状態を出力する。DFF3は、駆動能力調整開始時にリセット／スタート信号RST／STARTによってリセットされる。DFF2は、駆動能力調整開始時にリセット／スタート信号RST／STARTによってリセットされ、最初のTESTCLKの立ち下がりによって常時Hレベルに保持されている入力状態を論理積回路44に出力する。即ち、最初のTESTCLKが立ち下がるまではリセット時のLレベルを論理積回路44に出力しているので、最初のTESTCLKが立ち上がっても論理積回路44の出力（I点）はLレベルの状態が維持される。従って、最初のTESTCLK時にNchの駆動能力の方が高くG点の状態がHレベルとなり、リセット時の状態のDFF1の出力‘Lレベル’とでH点がHレベルとなっている場合に、I点の状態がHレベルからLレベルに立ち下がり、STOPがHレベルになり、駆動能力調整が終了してしまうのを防止できる。フリップフロップSRFF1は、RST／START及びSTOPを入力される。駆動能力調整開始時にRST／STARTがHレベルとなると、DFF3はリセットされSTOPがLレベルとなるため、SRFF1の出力はHレベルとなり、その後、STOPがHレベルとなるまでSRFF1の出力はHレベルを維持する。論理和回路45は、SRFF1の出力に基づいて、駆動能力調整用のクロック信号CLKをTESTCLKとして出力する。論理和回路45は、調整開始

時に RST/START が H レベルになると、TESTCLK の出力を可能とし、STOP が H レベルになるまで TESTCLK を出力する。論理回路 45 は、STOP が H レベルになると、TESTCLK の出力を停止し、RST/START が H レベルとなるまで停止状態を継続する。

【0015】

〔動作〕

図 2 は、Pch トランジスタの駆動能力が高い場合の各部信号波形のタイムチャートである。

【0016】

RST/START が H レベルになると、カウンタ回路 33 及び 34 のカウント値を 0 に初期化し、選択デコード回路 31 及び 32 が全トランジスタを選択するように初期設定する。RST/START ‘H レベル’ により、DFF1～DFF3 がリセットされ、SRFF1 の出力が H レベルとなり、TESTCLK を出力可能とする。その後、RST/START が L レベルに下がったところで調整動作を開始する。

【0017】

TESTCLK が出力されると、参照回路 35 及び 36 から A 点及び B 点に、コンデンサ C1 及び C2 の影響でなまったパルス波形が出力される。これらの波形を一旦バッファ 37 及び 38 で理想的なパルス波形に整えて C 点及び D 点に出力する。ここでは、Pch の駆動能力の方が大きいので、C 点のパルス波形の立ち上がりは D 点のパルス波形の立ち下がりよりも早い。この場合、論理積回路 39 により E 点に短いパルス波形が出力される。E 点のパルス波形は、C 点のパルス波形の立ち上がりから、D 点のパルス波形の立ち下がりまで H レベルとなる。なお、Nch の駆動能力の方が大きい場合には、図 3 に示すように、D 点のパルス波形の立ち下がりから C 点のパルス波形の立ち上がりよりも早く、論理積回路 40 により F 点に短いパルスが出力される。F 点のパルス波形は、D 点のパルス波形の立ち下がりから C 点のパルス波形の立ち上がりまで H レベルとなる。即ち、Pch の駆動能力が高い場合には E 点に短いパルス波形が出力され、Nch の駆動能力が高い場合には F 点に短いパルス波形が出力される。

【0018】

E 点に短いパルス波形が出力されると、SRFF2 がリセットされ、G 点が L レベルとなる。G 点が L レベルであると、TESTCLK が立ち下がるタイミングで論理積回路 41 から PCNTCK ‘H レベル’ が出力され、カウンタ回路 33 が +1 カウントアップされ、このカウンタ値が選択デコード回路 31 に入力される。選択デコード回路 31 は、Pch トランジスタの選択数を 1 つ減少させるように選択信号を出力する。また、カウンタ回路 33 のカウンタ値は、参照回路 35 にも入力され、選択デコード回路 31 での選択と連動して、即ち、インバータ回路 10 における Pch トランジスタの選択の組み合わせと同じ組み合わせになるように、参照回路 35 での Pch トランジスタの選択が更新される。

【0019】

図 2 に示すように 2 回目の TESTCLK でも上記同様の処理を繰り返し、Pch トランジスタを引き続き 1 つ減少させる。3 回目の TESTCLK では、駆動能力の関係が逆転し、Nch の駆動能力が大きくなるため、F 点に短いパルス波形が出力され、SRFF2 がセットされて、G 点に H レベルが出力され、3 回目の TESTCLK が立ち下がるタイミングで、NCNTCK ‘H レベル’ が出力される。NCNTCK ‘H レベル’ によりカウンタ回路 34 が +1 カウントアップし、このカウンタ値が選択デコード回路 32 に入力される。選択デコード回路 32 は、Nch トランジスタの選択数を 1 つ減少させるように選択信号を出力する。また、カウンタ回路 34 のカウンタ値は、参照回路 36 にも入力され、選択デコード回路 32 での選択と連動して、即ち、インバータ回路 10 における Nch トランジスタの選択の組み合わせと同じ組み合わせになるように、参照回路 36 での Nch トランジスタの選択が更新される。

【0020】

このとき、2回目のTESTCLKによりDFF1の出力として保持されているG点の状態‘Lレベル’と、3回目のTESTCLKによるG点の状態‘Hレベル’とにより、排他的論理和回路43からH点にHレベルが出力され、3回目のTESTCLKの立ち下がりに連動して立ち下がるI点の立ち下がりタイミングにおいて、STOPがHレベルとなり、SRFF1の出力がLレベルとなり、TESTCLKの出力が停止され、調整を終了する。

【0021】

以上のように、Pchの駆動能力の方が高い場合、カウンタ回路33を+1カウントアップするごとにPchトランジスタの選択数を1つ減少させ、PchとNchの駆動能力が逆転した時点で駆動能力の調整を終了する。駆動能力が逆転した3回目のTESTCLKでは、駆動能力を減少させてきたPchトランジスタとは逆のNchトランジスタを1つ減少させて調整を終了するが、Pch及びNchの駆動能力を近づけるという点では問題がない。

【0022】

図3は、Nchトランジスタの駆動能力が高い場合の各部信号波形のタイムチャートである。

【0023】

この場合は上記とは逆に、Nchトランジスタの駆動能力の方が高いので、1回目のTESTCLKではF点に短いパルス波形が出力され、SRFF2がセットされてG点にHレベルが出力され、1回目のTESTCLKが立ち下がるタイミングで、NCNTCK‘Hレベル’が出力される。NCNTCK‘Hレベル’によりカウンタ回路34が+1カウントアップし、このカウンタ値が選択デコード回路32に入力される。選択デコード回路32は、Nchトランジスタの選択数を1つ減少させるように選択信号を出力する。また、カウンタ回路34のカウンタ値は参照回路36にも入力され、選択デコード回路32での選択と連動して、即ち、インバータ回路10におけるNchトランジスタの選択の組み合わせと同じ組み合わせになるように、参照回路36でのNchトランジスタの選択が行われる。なお、1回目のTESTCLKでG点がHレベルとなると、G点のHレベルの出力と、DFF1のリセット時のLレベルの出力とによりH点がHレベルとなっているが、DFF2及び論理積回路44によりI点がLレベルに維持されているためDFF3によりSTOPをHレベルにならない。これにより、駆動能力が均衡する前に、G点のHレベルとDFF1のリセット時のLレベルとによってSTOPがHレベルとなって調整処理が終了してしまうことを防止している。

【0024】

2回目のTESTCLKでも同様にNchトランジスタの選択数を1つ減少させ、3回目のTESTCLKで駆動能力が逆転し、Pchの駆動能力が高くなると、E点に短いパルス波形が出力される。これによりSRFF2がリセットされ、G点がLレベルとなり、TESTCLKが立ち下がるタイミングで論理積回路41からPCNTCK‘Hレベル’が出力され、カウンタ回路33が+1カウントアップされ、このカウンタ値が選択デコード回路31に入力される。選択デコード回路31は、Pchトランジスタの選択数を1つ減少させるように選択信号を出力する。また、カウンタ回路33のカウンタ値は、参照回路35にも入力され、選択デコード回路31での選択と連動して、即ち、インバータ回路10におけるPchトランジスタの選択の組み合わせと同じ組み合わせになるように、参照回路35でのPchトランジスタの選択が更新される。

【0025】

このとき、2回目のTESTCLKによりDFF1の出力として保持されているG点の状態‘Hレベル’と、3回目のTESTCLKによるG点の状態‘Lレベル’とにより、排他的論理和回路43からH点にHレベルが出力され、3回目のTESTCLKの立ち下がりに連動して立ち下がるI点の立ち下がりタイミングにおいて、STOPがHレベルとなり、SRFF1の出力がLレベルとなり、TESTCLKの出力が停止され、調整を終了する。

【0026】

以上のように、N c h の駆動能力の方が高い場合、カウンタ回路 34 を +1 カウントアップするごとに N c h トランジスタの選択数を 1 つ減少させ、P c h と N c h の駆動能力が逆転した時点で駆動能力の調整を終了する。駆動能力が逆転した 3 回目の T E S T C L K では、駆動能力を減少させてきた N c h トランジスタとは逆の P c h トランジスタを 1 つ減少させて調整を終了するが、P c h 及び N c h の駆動能力を近づけるという点では問題がない。

【0027】

なお、上記では、カウンタ回路 33 及び 34 のカウンタ値を 0 に初期化した場合に、選択デコード回路 31 及び 32 が全トランジスタを選択して最大能力としたが、必ずしも全トランジスタを選択する必要はなく、複数の P c h 及び N c h トランジスタを選択すればよい。

【0028】

また、上記では、インバータ回路 10 とは別に参照回路を設け、参照回路 35 及び 36 に T E S T C L K を入力することにより、P c h 及び N c h の駆動能力を検出するように構成したが、インバータ回路 10 の P c h 及び N c h の出力電圧波形を検出し、A 点に inputs するような構成としても良い。この場合には、参照回路 35 及び 36 を別途設ける必要がなく、回路構成を簡略化し得る。

【0029】

また、上記では、D 級信号増幅回路を例に挙げて説明したが、本実施形態に係る構成を A 級、B 級、C 級等の信号増幅回路にも適用することができる。

【0030】

〔作用効果〕

本実施形態に係る信号増幅回路 1 によれば、インバータ回路 10 を構成する P c h と N c h のトランジスタの駆動能力の間に製造上のばらつきがある場合であっても、P c h と N c h の駆動能力を比較し、駆動能力の大きい側のトランジスタの選択数を減少させることにより、P c h と N c h の駆動能力が近づくように（均衡するように）させることができる。これにより、信号増幅回路からの PWM 出力の立ち上がり及び立ち下りの波形差による波形歪を抑制することができる。また、PWM 出力を B L T 方式でスピーカ等に出力する場合には、+ 側及び - 側入力ラインを並送させることにより信号の立ち上がり及び立ち下りにおけるオーバシュート／アンダーシュート等のノイズを相殺しやすくなり、また、+ 側及び - 側入力ラインを流れる電流変化による電磁波も相殺されやすくなるため、E M I 特性を改善することもできる。

【0031】

また本実施形態に係る信号増幅回路では、R S T / S T A R T によって信号増幅回路の駆動能力調整を開始し、S T O P が H レベルになることにより自動的に調整を終了するので、手動による調整作業が不要になりコストダウンを図ることができる。

【0032】

(2) 第 2 実施形態

図 4 は、第 2 実施形態に係る信号増幅回路 1 の電気回路図である。第 1 実施形態と異なる点は、論理積回路 41 の出力が N C N T C K となり、論理積回路 42 の出力が P C N T C K となっている点である。また、R S T / S T A R T ‘H レベル’により、カウンタ回路 33 及び 34 のカウンタ値を 0 に初期化した場合に、選択デコード回路 31 及び 32 は、信号増幅回路 1 の出力が最小能力となるように、それぞれ P c h 及び N c h トランジスタを 1 つずつ選択する。

【0033】

P c h の駆動能力の方が高い場合には、論理積回路 41 から N C N T C K ‘H レベル’をカウンタ回路 34 に出力してカウンタ値を +1 カウントアップし、選択デコード回路 32 によって N c h トランジスタの選択数を 1 つ増加させる。このとき、カウンタ回路 34 のカウンタ値は、参照回路 36 にも入力され、選択デコード回路 32 での選択と連動して

、即ち、インバータ回路 10 における N c h トランジスタの選択の組み合わせと同じ組み合わせになるように、参照回路 36 での N c h トランジスタの選択が更新される。

【0034】

一方、N c h トランジスタの駆動能力の方が高い場合には、論理積回路 42 から P C N T C K ‘H’ レベルをカウンタ回路 33 出力してカウント値を +1 カウントアップし、選択デコード回路 31 によって P c h トランジスタの選択数を 1 つ増加させる。このとき、カウンタ回路 33 のカウンタ値は、参照回路 35 にも入力され、選択デコード回路 31 での選択と連動して、即ち、インバータ回路 10 における P c h トランジスタの選択の組み合わせと同じ組み合わせになるように、参照回路 35 での P c h トランジスタの選択が更新される。

【0035】

即ち、本実施形態では、P c h と N c h の駆動能力で低い方のカウンタ回路 33 又は 34 を +1 カウントアップし、駆動能力の低い側のトランジスタの選択数を増加させる。

【0036】

〔作用効果〕

上記実施形態では、信号増幅回路 1 の最大能力から駆動能力の高い側の P c h 又は N c h トランジスタの選択数を減少させて、P c h と N c h の駆動能力を近づけ、信号増幅回路 1 の出力を最大能力近傍に調整したが、本実施形態では、信号増幅回路 1 の最小能力において駆動能力の低い側の P c h 又は N c h トランジスタの選択数を増加させて、P c h と N c h の駆動能力を近づけ、信号増幅回路 1 の出力を最小能力近傍に調整することができる。なお、ここでは、カウンタ回路 33 及び 34 のカウンタ値を 0 に初期化した場合に、選択デコード回路 31 及び 32 がそれぞれ P c h 及び N c h トランジスタを 1 つずつ選択するとしたが、必ずしも 1 つずつ選択する必要はなく、P c h 及び N c h トランジスタを複数ずつ選択するようにしても良い。

【図面の簡単な説明】

【0037】

【図 1】 第 1 実施形態に係る信号増幅回路の電気回路図。

【図 2】 P c h の駆動能力の方が高い場合のタイムチャート。

【図 3】 N c h の駆動能力の方が高い場合のタイムチャート。

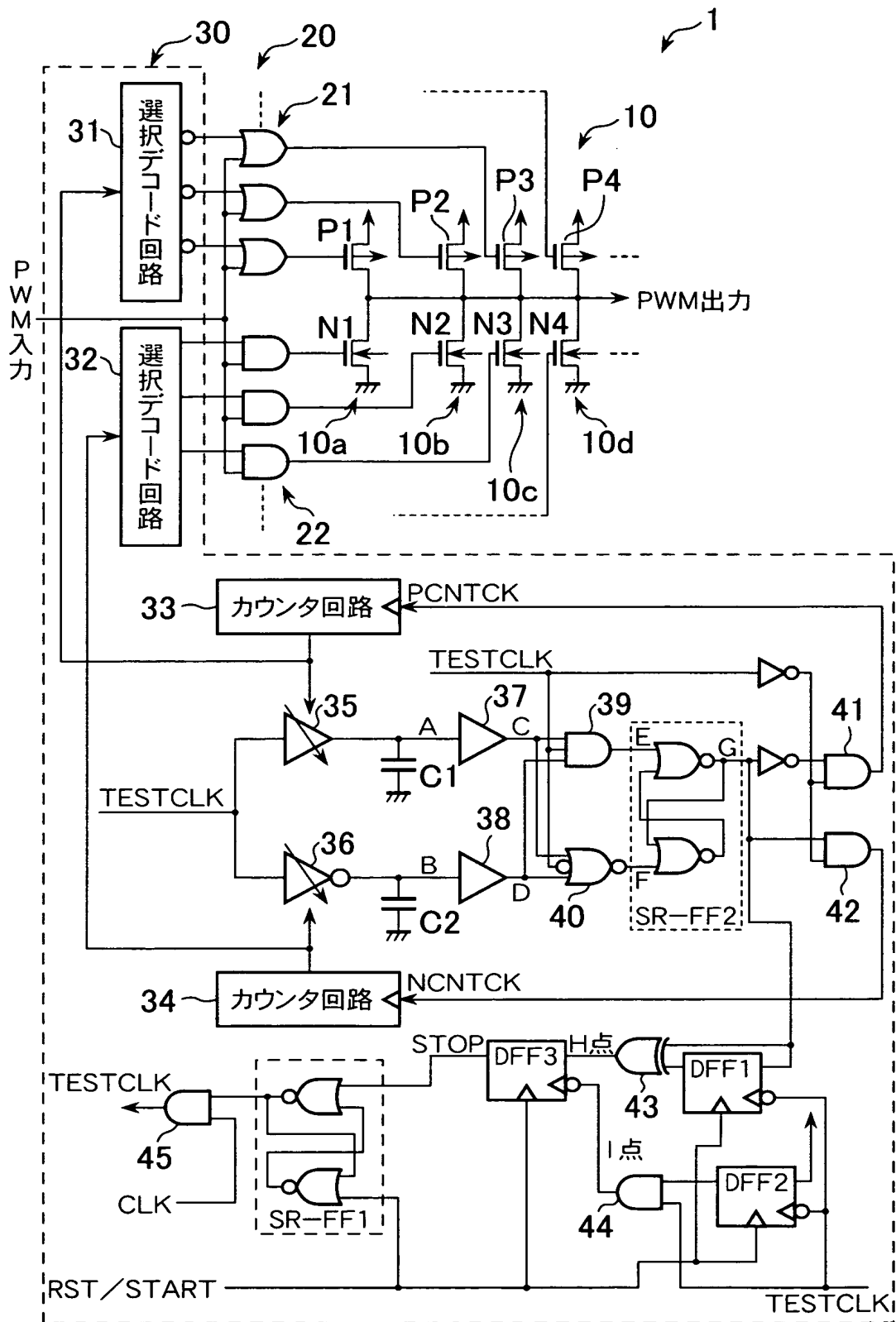
【図 4】 第 2 実施形態に係る信号増幅回路の電気回路図。

【符号の説明】

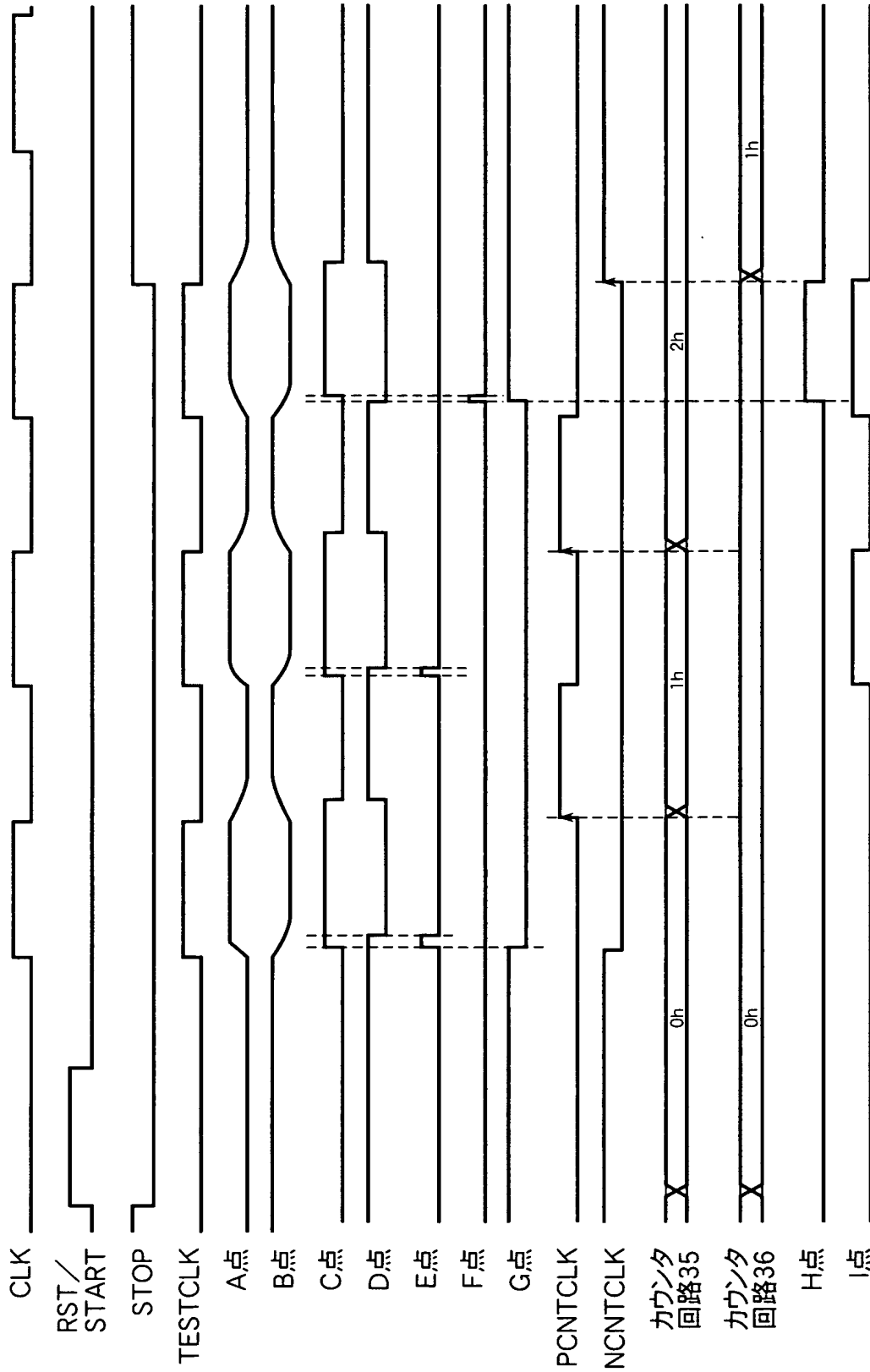
【0038】

- 1 信号増幅回路
- 10 インバータ回路
- 20 選択回路
- 30 選択制御回路
- 37、38 バッファ

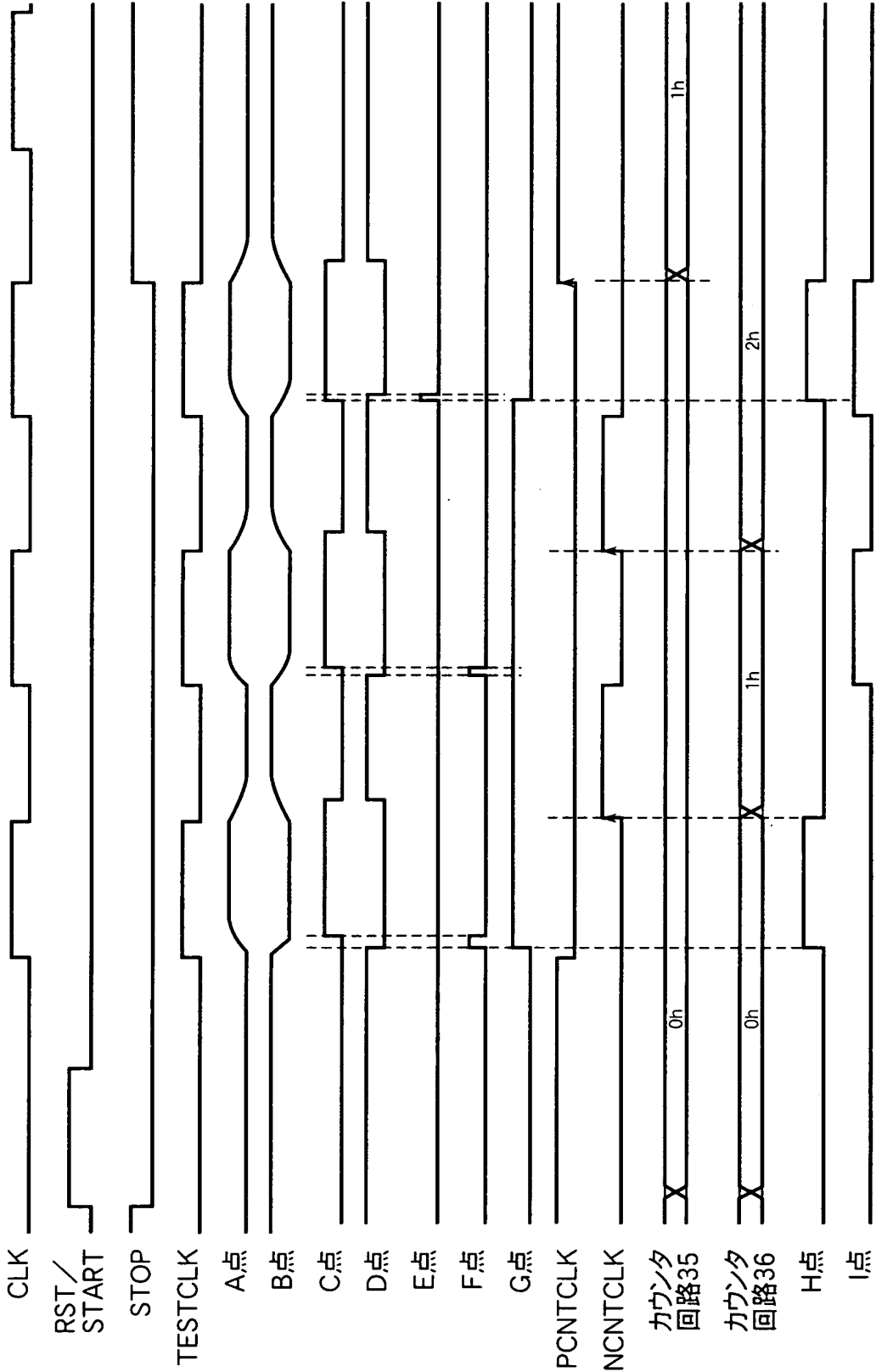
【書類名】 図面
【図 1】



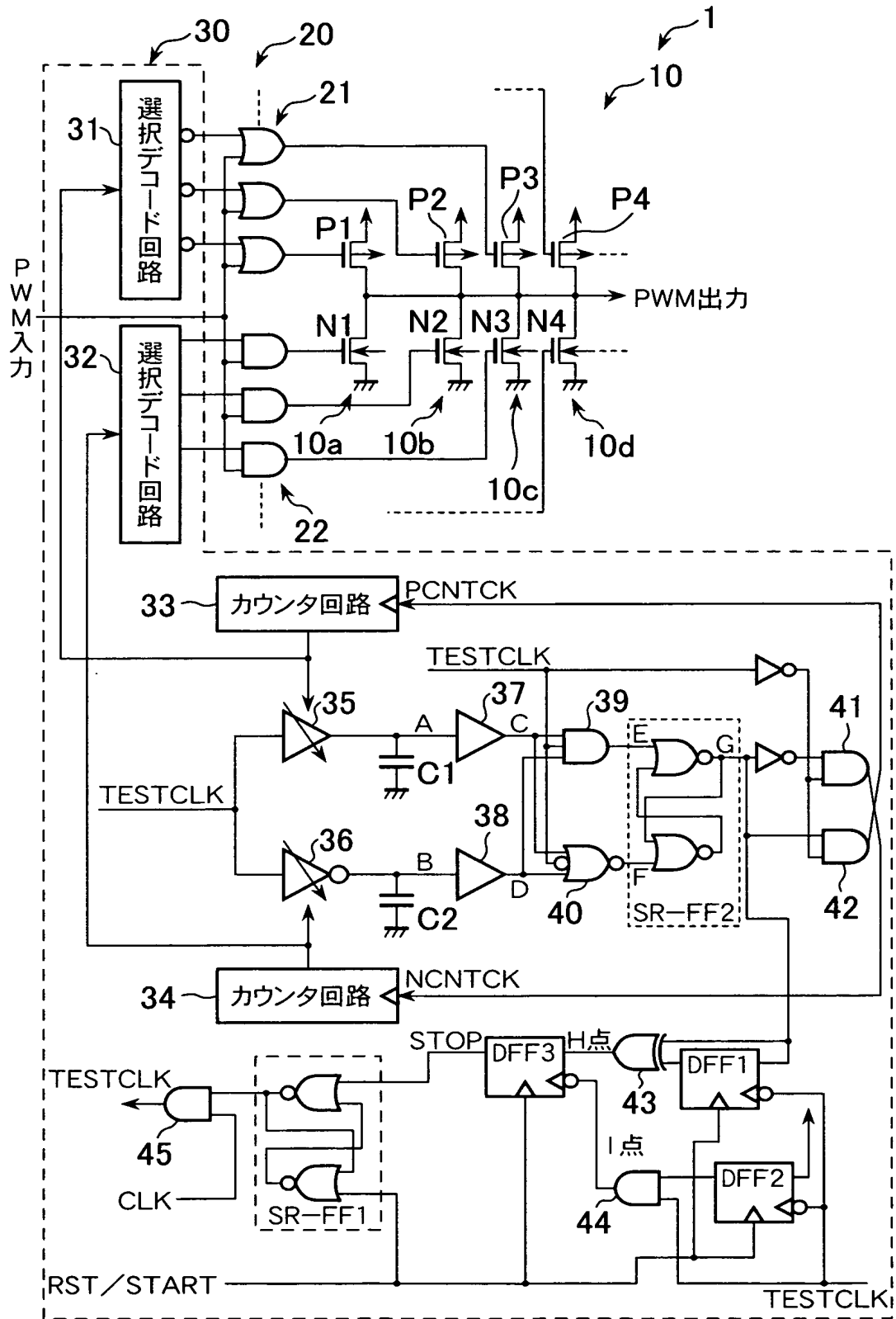
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 信号増幅回路において、出力信号の波形歪及びEMIの影響を抑制することにある。

【解決手段】 Pch及びNchトランジスタからなるインバータ回路10と、インバータ回路10に対応する回路構成でPch及びNchトランジスタからなる参照回路35, 36と、インバータ回路10と参照回路35, 36とにおいて、Pch及びNchトランジスタを同じ組み合わせでかつPch及びNchトランジスタを互いに独立に選択する選択回路20と、参照回路35において選択されているPchトランジスタの第1駆動能力と、参照回路36において選択されているNchトランジスタの第2駆動能力とを比較し、その比較結果に基づいて第1駆動能力と第2駆動能力とが均衡するように選択回路20を制御する選択制御回路30と、を備えることを特徴とする信号増幅回路。

【選択図】 図1

特願 2 0 0 3 - 3 3 3 6 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社